

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-253375

(43) 公開日 平成4年(1992)9月9日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/788				
29/792				
27/115				
		7377-4M	H 0 1 L 29/78	3 7 1
		8831-4M	27/10	4 3 4
			審査請求 未請求 請求項の数4 (全 8 頁)	

(21) 出願番号 特願平3-28031

(22) 出願日 平成3年(1991)1月29日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 金沢 賢一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 長谷川 文廣 (外2名)

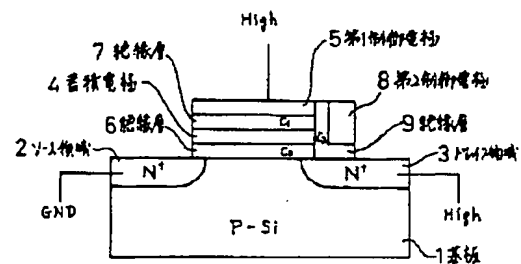
(54) 【発明の名称】 不揮発性半導体記憶装置およびその製造方法

(57) 【要約】

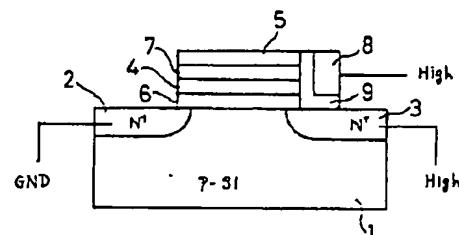
【目的】 不揮発性半導体記憶装置およびその製造方法に関し、不揮発性の記憶装置として用いた場合、情報を多値データとして記憶し、実質的に記憶容量を大きくできるようなFAMOSを得ることを目的とする。

【構成】 第1導電型の基板1に第2導電型のソース領域2および第2導電型のドレイン領域3を備え、ソース領域とドレイン領域の間の基板のチャネル領域上に絶縁層6を介して設けた蓄積電極4と蓄積電極4上に絶縁層7を介して設けた第1制御電極5とよりなるフローティング型電界効果トランジスタにおいて、蓄積電極4と蓄積電極4上の絶縁層6と第1制御電極5により構成されるゲート電極部側部に絶縁層9を介して第2制御電極8を設けた構成を持つ。

本発明の基本構成



(a) 第1制御電極に4番まで込み



(b) 第2制御電極に3番まで込み

1

## 【特許請求の範囲】

【請求項1】 第1導電型の半導体基板(1)に形成された第2導電型のソース領域(2)および第2導電型のドレイン領域(3)と、ソース領域(2)およびドレイン領域(3)間の半導体基板(1)上に絶縁層(6)を介して設けられた蓄積電極(4)と、該蓄積電極(4)上に絶縁層(7)を介して設けられた第1制御電極(5)とからなるゲート電極部を備え、ソース領域(2)もしくはドレイン領域(3)のPN接合に高い逆方向のバイアス電圧が印加されたときに生じるアバランシェ降伏により発生する高エネルギーのキャリアを蓄積電極(4)に蓄積する不揮発性半導体記憶装置において、蓄積電極(4)と絶縁層(6)と第1制御電極(5)により構成されるゲート電極部の側部に絶縁層(9)を介して第2制御電極(8)を設けたことを特徴とする不揮発性半導体記憶装置。

【請求項2】 上記第2制御電極(8)を上記制御電極の側部の片側に設けたことを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 上記第2制御電極(8)をゲート電極部側部の両側に設けたことを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項4】 半導体基板の表面に第1絶縁層を形成する工程と、該第1絶縁層上に蓄積電極層を形成し、蓄積電極層上に第2絶縁層を形成する工程と、該第2絶縁層上に第1制御電極層を形成する工程と、上記蓄積電極層上に第1制御電極層を形成する工程と、上記蓄積電極層、上記第2絶縁層および上記第1制御電極層とからなる積層体とからなり積層体をパターンニングしてゲート電極部を形成する工程と、全面に第3絶縁層を形成する工程と、該第3絶縁層を介して上記ゲート電極の側部に第2制御電極層を形成する工程とを含むことを特徴とする不揮発性半導体記憶装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は不揮発性半導体記憶装置およびその製造方法に関する。従来、ドレイン領域におけるアバランシェ降伏を利用して蓄積電極に電荷を蓄積するフローティングゲートアバランシェMOS半導体装置（以後FAMOSと称する）は、二値データの記憶に限られていた。

【0002】 ところで、集積化された記憶装置に情報を記憶する場合、二値データとして記憶するより多値データとして記憶する方が記憶情報量は多くなる。このことは、記憶装置に多値データで記憶することは実質的に記憶容量が増加したことを意味し、集積度を向上させたことに等しくなる。本発明は不揮発性の記憶装置として用いた場合、情報を多値データとして記憶し、実質的に記憶容量を大きくできるようなFAMOSを得ることを目的とする。

## 【0003】

2

【従来の技術】 従来のフローティングゲートMOS半導体装置を図8に示す。図において(a)は従来のnチャネルFAMOSおよびその書き込みの動作を示し、図(b)はnチャネルFAMOSおよびその読み出しの動作を示す。図(a)、図(b)において、81はp型シリコン(p-Si)基板、82はN<sup>+</sup>型のソース領域、83はN<sup>+</sup>型のドレイン領域、84はフローティングの蓄積電極、85は制御電極、86は蓄積電極と基板間の絶縁層、87は蓄積電極と制御電極間の絶縁層である。

【0004】 図(a)により書き込みの場合の動作を説明する。書き込みは、図示のように制御電極85には高電圧(12.5V)を印加した状態で、ドレイン-ソース間に高電圧(6~8V)を印加する。その結果、基板81とドレイン領域83の接合部分にアバランシェ降伏を生じ、発生した電子は蓄積電極に注入され、蓄積される。

【0005】 蓄積電極84が帯電した結果、書き込み前に比べて、書き込み後でゲート電圧の閾値（以後単に閾値と称する）が大きくなる。この閾値の変化を利用して記憶の有無を判定することができる。図(b)により読み出しの動作を説明する。読み出しはドレイン-ソース間に低電圧(1V)を印加しておき、制御電極85に読み出し電圧(5V)を印加する。この動作条件において、蓄積電極84に電子が蓄積されている状態では閾値が高いためドレイン電流が流れないのに対して、電子が蓄積されていない状態では閾値が低いのでドレイン電流が流れ、記憶の有無を判定することができる。

## 【0006】

【発明が解決しようとする課題】 上記のように、従来のFAMOSは二値データの書き込みしかできないため、FAMOSにより大容量の記憶装置をする場合にFAMOS集積回路の集積度を高くする必要があった。集積回路を高集積化することは、プロセス技術が難しくなることから、できるだけ集積度を抑え、低コストで大容量の記憶装置を得るようにすることが望まれる。本発明は、記憶装置に適用した場合、実質的な記憶容量を大きくすることの可能な蓄積電極MOS半導体装置を得ることを目的とする。

## 【0007】

【課題を解決するための手段】 本発明は、ゲート電極部の側部に絶縁層を介して第2制御電極を設け、蓄積電極の上部に絶縁層を介して設けた第1制御電極により蓄積電極に電子を蓄積させた場合と第2制御電極により蓄積させた場合とで閾値が異なるようにした。そして、第1制御電極により書き込んだ情報と第2制御電極により書き込んだ情報を区別して情報を多値データとして記憶できるようにした。

【0008】 図1に本発明の基本構成を、nチャネルの場合を例として示す。図(a)はnチャネルFAMOSを例とした場合の本発明の基本構成およびその第1制御電

3

極による書き込みの動作を示し、図(b)はnチャネルFAMOSを例とした場合の本発明における基本構成およびその第2制御電極による書き込みの動作を示す。

【0009】図(a)、図(b)において、1は基板(p-Si)、2はソース領域(N<sup>+</sup>)、3はドレイン領域(N<sup>+</sup>)、4は蓄積電極、5は第1制御電極、6、7は絶縁層、8は第2制御電極、9は絶縁層である。図示の構成において、第2制御電極8(以後第2制御電極と称する)は第1制御電極と蓄積電極4および基板1とは絶縁層9を介して設けられる。図示の構成のFAMOSの製造方法は後述する。

【0010】

【作用】図1および図2(a)により、本発明における第1制御電極および第2制御電極による書き込み動作の説明をする。図1(a)に第1制御電極による書き込みの動作例を示す。第1制御電極5の印加電圧を約12.5V、ドレイン領域3の印加電圧を約6~8V、ソース領域2をアース電圧とする。その結果、ドレイン領域3と基板1の間PN接合部に高電圧の逆方向電圧が加わりアバランシェ降伏を生じる。そして発生した電子は蓄積電極4に蓄積される。

【0011】図1(b)に、第2ゲートによる書き込みの動作例を示す。第2制御電極8の印加電圧を約12.5V、ドレイン領域3の印加電圧を約6~8V、ソース領域2をアース電圧とする。その結果、図1(a)の場合と同様にドレイン領域3と基板1の間のPN接合部にアバランシェ降伏を生じ、蓄積電極4に電子が蓄積される。

【0012】そして、第1制御電極により書き込んだ場合と第2制御電極により書き込んだ場合とでは、各電極間の容量(蓄積電極4と基板間の容量C<sub>0</sub>、第1制御電極5と蓄積電極4の間の容量C<sub>1</sub>、第2制御電極8と蓄積電極間の容量C<sub>2</sub>)が異なるため、書き込み後の閾値に相違を生じる。

【0013】第1制御電極5の印加電圧をV<sub>cc</sub>としたときに蓄積電極4に加わる電圧をV<sub>re</sub>とすると、
$$V_{re} = V_{cc} * C_1 / (C_0 + C_1)$$
となる。容量比C<sub>1</sub> / (C<sub>1</sub> + C<sub>2</sub>)は、通常2/3程度である。一方、第2制御電極8の印加電圧をV<sub>cc</sub>としたとき蓄積電極4に加わる電圧V<sub>re</sub>は、
$$V_{re} = V_{cc} * C_2 / (C_0 + C_2)$$

となる。C<sub>2</sub>の値は絶縁層9の膜厚に依存するが、通常C<sub>1</sub> > C<sub>2</sub>である。そのため、第1制御電極5より書き込んだ場合と比較して、第2制御電極8より書き込んだ場合は蓄積電極電圧V<sub>re</sub>が小さくなるので、アバランシェ降伏により発生した電子が吸引されにくくなり書き込み特性が悪くなる。

【0014】図2(a)に本発明におけるドレイン電流-ゲート電圧特性の例を示す。必要に応じて図1を参照する。図2(a)において、Initialは書き込みのない場合の特性であり、(1)は第1制御電極5により書き

4

込んだ場合であり、(2)は第2制御電極8により書き込んだ場合の特性を示す。

【0015】図に示されるように、第1制御電極5により書き込んだ場合には、蓄積電荷量が多いため閾値が高くなり、第2制御電極8により書き込んだ場合には、蓄積電荷量が少いため閾値電圧が低くなる。従って、書き込みに第1制御電極5からの書き込みと第2制御電極8からの書き込みを選択することにより情報を3値で記憶することが可能になる。

【0016】例えば、図2(a)の特性において、第1制御電極に印加する電圧を5Vに設定すると書き込みのないInitialの状態ではドレインに大電流が流れ、(2)の第2制御電極により書き込んだ状態ではドレインに小電流が流れ、(1)の第1制御電極から書き込んだ状態ではドレイン電流は0である。このことから、3値の記憶データをセンスすることができる。また、他のセンス方法として第1制御電極に印加するセンスレベル電圧を、例えば3Vと7Vの2つのセンスレベルに設定して順次に印加するようにしてもよい。この場合、3Vのセンスレベル電圧によりInitialであるか(1)もしくは(2)に書き込みがあるかどうかをセンスする。次に、7Vのセンス電圧により(1)と(2)のいずれの状態で書き込まれたかをセンスする。

【0017】本発明によれば、3値データとして記憶できるので、2値データとして記憶する場合に比較して実質的に集積度が3/2倍になったこととなる。また、第2制御電極を第1制御電極の両側部に設けることにより情報を5値データとして記憶することも可能になる(この点については後述する)。なお、上記説明においては、nチャネルのFAMOSについて説明したが、pチャネルのFAMOSにおいても同様の原理により本発明は実現可能である。なお、各部の印加電圧は例として示したものであって、これに限られるものではない。

【0018】

【実施例】図2(b)に本発明における第2制御電極の実施例を示す。本発明においては、図1に示すように、第1制御電極の他に第2制御電極を1つ設けるだけでよいのであるが、図2(b)に示すように第1制御電極の他に第2制御電極、第3制御電極を設けるようにしてもよい。

【0019】図2(b)において、21は基板、22はソース領域、23はドレイン領域、24は蓄積電極、25は第1制御電極、26は第2制御電極、27は第3制御電極、28は絶縁層である。aは第1制御電極25の入力端子、bは第2制御電極26の入力端子、cは第3ゲート電極27の入力端子である。

【0020】図の構成において、① aに書き込み電圧を与える、② bに書き込み電圧を与える、③ aとbに書き込み電圧を与える、④ aとbとcに書き込み電圧を与える、の4通りの書き込み方法が可能であり、そ

5

れぞれにおいて、閾値が異なってくる。そのため、図の構成においては情報を5値データとして記憶させることが可能である。

【0021】図3に本発明のセルアレイ実施例を示す。図3において、(a)は本発明のFAMOSをセルアレイとして集積化した場合の平面図、(b)はチャネルに平行な方向の断面図、(c)はチャネルに垂直な方向の断面図を示す。

【0022】図において、31は基板、32はソース領域、33はドレイン領域、34は蓄積電極、35は第1制御電極、36は第2制御電極、37はフィールド酸化膜、39はA1配線である。図(d)セルアレイの回路ブロックを示す。図(d)において、B1、B2はドレイン電圧供給線(図(a)におけるA1配線39に対応する)、S1、S2はソース電圧供給線、WS1、WS2、WS3は第1制御電極への電圧供給線(ワード線)、WL1、WL2、WL3は第2制御電極への電圧供給線(ワード線)である。

【0023】図に点線で囲った部分の素子を選択して書き込み、読み出しする場合の各電圧供給線に印加する電圧は次の通りである。

(1) 第1制御電極より書き込みの場合

WL2 = 約12.5V,

WL2以外の電圧供給線(WS1, WL1, WS2, WS3, WL3) = Floatもしくは0V,

B1 = Floatもしくは0V,

B2 = 6~8V,

S1, S2 = GND.

【0024】(2) 第2制御電極より書き込みの場合

WS2 = 約12.5V,

WS2以外の電圧供給線(WS1, WL1, WL2, WS3, WL3) = Floatもしくは0V,

B1 = Floatもしくは0V,

B2 = 6~8V,

S1, S2 = GND.

【0025】(3) 読み出しの場合

WL2 = 約5V

WL2以外の電圧供給線(WS1, WL1, WS2, WS3, WL3) = Floatもしくは0V,

B1 = Floatもしくは0V,

B2 = 約1V,

S1, S2 = GND.

【0026】以上の条件における動作は作用の項における場合と同様であるので説明は省略する。次に、図4~図7により本発明の製造方法の実施例を示す。図4~図7において、左側の図はチャネルの方向に平行な断面を示し、右側の図はチャネルの方向に垂直な断面を示す。各図における(a)~(j)は工程を示し、同一の符号は同一部分を示す。図4~図7を参照して工程順に本発明の製造方法を説明する。

6

【0027】(a) シリコン基板111上にLOCOS方による膜厚約5000Åのフィールド酸化膜112を形成してアイソレーションを行い、次いでシリコン基板111表面を酸化してゲート酸化膜113(膜厚約100~400Å)を形成する。

(b) ゲート酸化膜113上に多結晶シリコンを1000~2000Åの厚さに体積させた後、パターニングして蓄積電極114を形成し、その表面を酸化して電極間酸化膜115(膜厚100~400Å)を設ける。

(c) 第1制御電極用導電層116(膜厚1000~2000Å)を電極間酸化膜115上に設ける。

【0028】(d) 第1制御電極用導電層116および電極間酸化膜115をパターニングして、第1制御電極116、電極間酸化膜115、蓄積電極114を形成する。

(e) 全面酸化処理によりスルー酸化膜117(膜厚200Å)を形成した後、イオン注入(ドーズ量約 $1 \times 10^{15}$  atom/cm<sup>2</sup>)によりN<sup>+</sup>型拡散層118(ソース、ドレイン領域)を形成する。

(f) 第2制御電極用の導電層119(膜厚1000~3000Å)をスルー酸化膜117上に堆積させる。

【0029】(g) 第2制御電極用導電層119を異方性エッチングすることによりゲート電極部(第1制御電極116、電極間酸化膜115、蓄積電極114よりなる部分)の側部のみ残し、第2制御電極120を形成する。

(h) 第1制御電極が1つだけの構造とする場合には、ソース側の第2制御電極を除去する。

【0030】(i) 全面酸化処理により層間絶縁膜122(膜厚5000Å~1μm)をデポジットする。

(j) 層間絶縁膜122にコンタクトホール123を形成した後、A1を堆積させた後パターニングしてA1配線124(厚さ0.5~1μm)を形成し、さらにその全面にカバー膜125(膜厚0.5~1μm)を形成する。

【0031】

【発明の効果】本発明の蓄積電極MOS半導体装置を用いて不揮発性の記憶装置を構成した場合には、情報を多値データとして記憶することができる。そのため、実質的な記憶容量の大きい記憶装置が、特別に高度なプロセス技術を用いることなく、従来の集積回路のプロセス技術により得られる。

【図面の簡単な説明】

【図1】本発明の基本構成を示す図である。

【図2】本発明のドレイン電流-ゲート電圧特性の例および第2制御電極の実施例を示す図である。

【図3】本発明のセルアレイの実施例を示す図である。

【図4】本発明の製造方法の実施例(その1)を示す図である。

【図5】本発明の製造方法の実施例(その2)を示す図

7

である。

【図6】本発明の製造方法の実施例（その3）を示す図である。

【図7】本発明の製造方法の実施例（その4）を示す図である。

【図8】従来のフローティングゲートMOS半導体装置を示す図である。

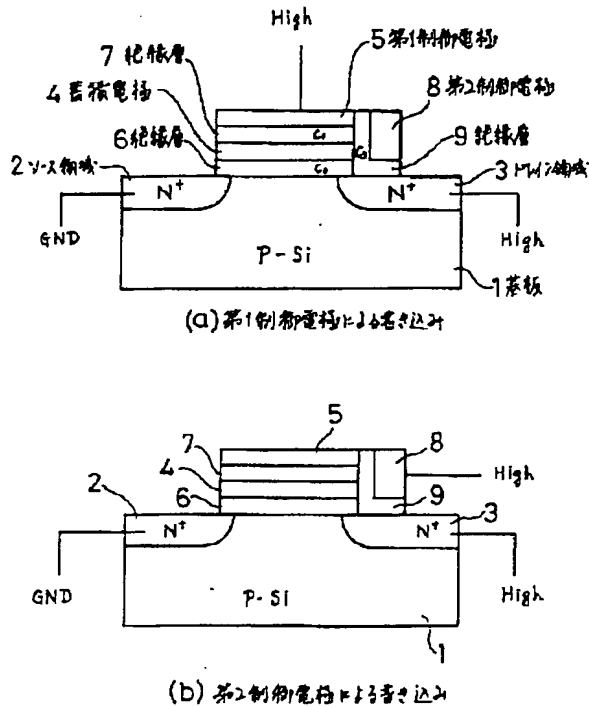
【符号の説明】

1 基板 (p-Si)

- 2 ソース領域
- 3 ドレイン領域
- 4 蓄積電極
- 5 第1制御電極
- 6 絶縁層
- 7 絶縁層
- 8 第2制御電極
- 9 絶縁層

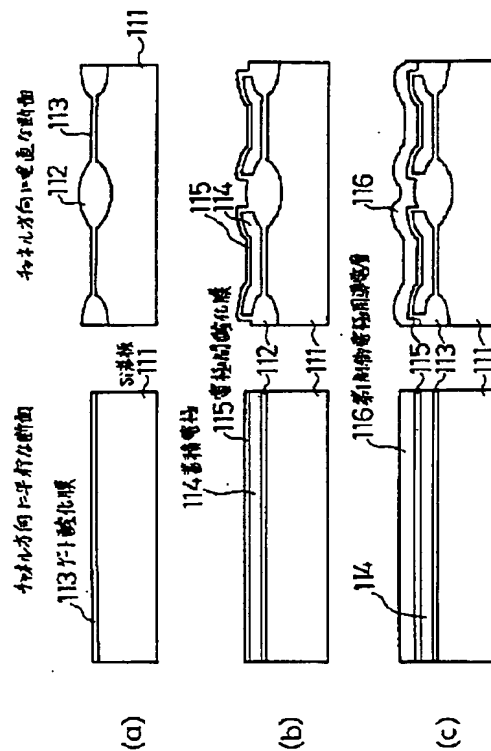
【図1】

本発明の基本構成



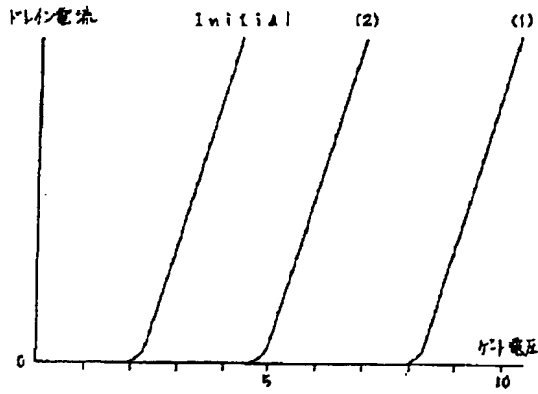
【図4】

本発明の製造方法の実施例 その1

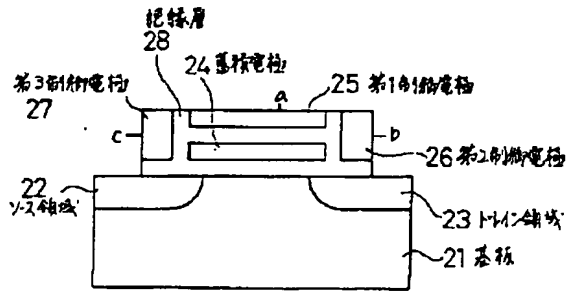


【図2】

本発明のドレイン電流-ゲート電圧特性の例および第2制御電極の実施例



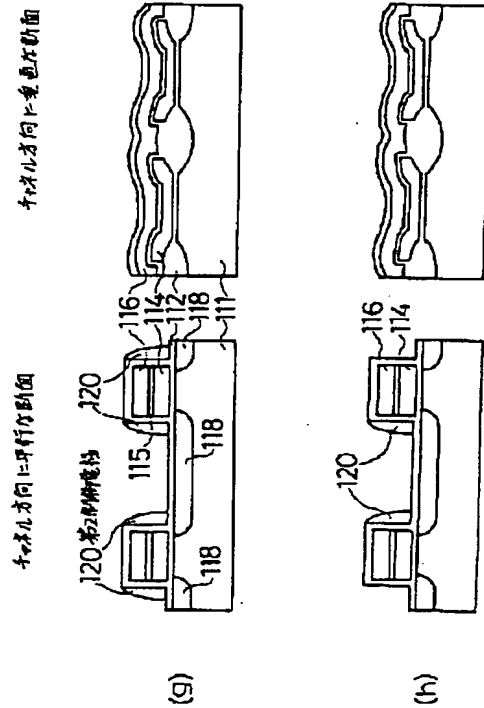
(a) ドレイン電流-ゲート電圧特性



(b) 第2制御電極の実施例

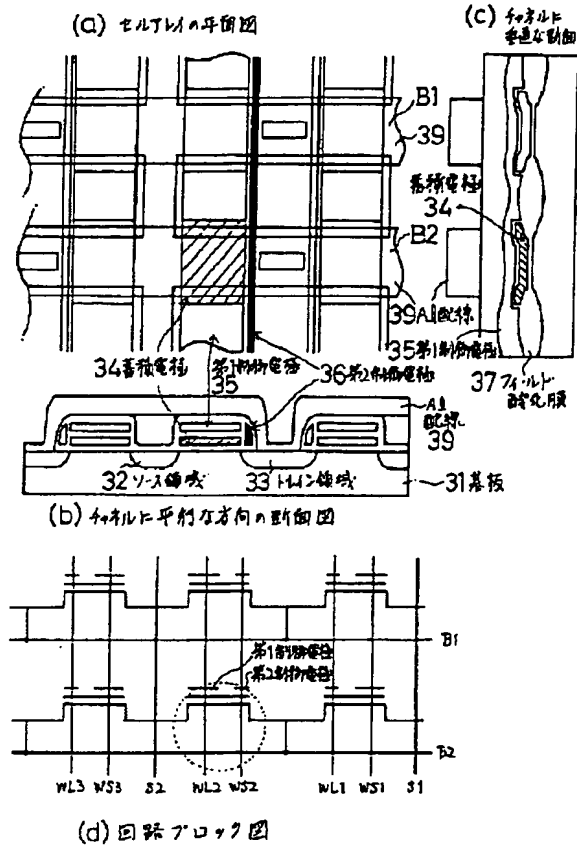
【図6】

本発明の製造方法の実施例その3



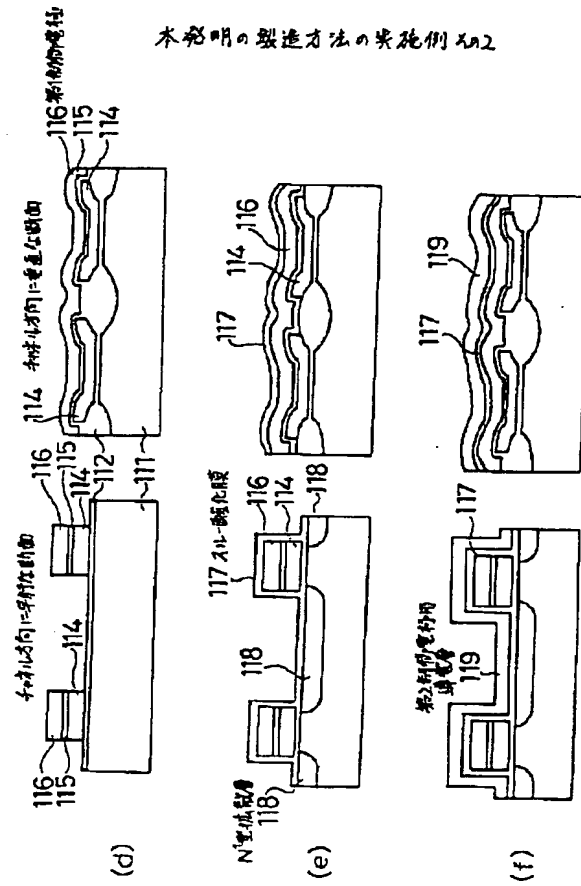
【図3】

本発明のセルレイ実施例



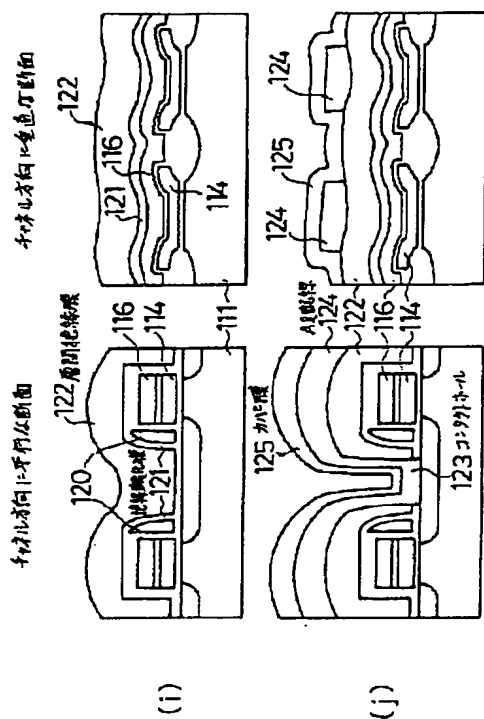
【図5】

本発明の製造方法の実施例 No.2



【図7】

本発明の製造方法の実施例の4



【図8】

従来のフローティングゲートMOS半導体装置

